

# ОГЛАВЛЕНИЕ

Предисловие .....	3
-------------------	---

## Раздел I

### АРИФМЕТИЧЕСКИЕ ОСНОВЫ ТЕОРИИ ЦИФРОВЫХ УСТРОЙСТВ

<b>Глава 1. Системы счисления</b> .....	5
1.1. Основные понятия .....	5
1.2. Правила перевода из одной системы счисления в другую .....	9
<b>Глава 2. Формы представления чисел</b> .....	16
2.1. Форматы данных .....	16
2.2. Представление чисел в форме с плавающей запятой .....	16
2.3. Представление чисел в форме с фиксированной запятой .....	18
<b>Глава 3. Машинные коды</b> .....	21
3.1. Кодирование положительных чисел в форме с фиксированной запятой .....	21
3.2. Кодирование отрицательных чисел в форме с фиксированной запятой .....	22
3.3. Правило перевода отрицательных чисел из дополнительного и обратного кодов в прямой код .....	22
<b>Глава 4. Арифметические действия над числами с фиксированной запятой</b> .....	23
4.1. Сложение положительных чисел .....	23
4.2. Сложение отрицательных чисел или чисел с разными знаками .....	25
4.3. Умножение чисел .....	26
4.4. Деление чисел .....	31
<b>Глава 5. Арифметические действия над числами с плавающей запятой</b> ....	33
5.1. Сложение чисел .....	33
5.2. Умножение чисел .....	34
5.3. Деление чисел .....	36
<b>Глава 6. Арифметические действия над числами в двоично-десятичной системе счисления</b> .....	38
6.1. Особенности сложения в двоично-десятичной системе счисления .....	38
6.2. Сложение чисел с одинаковыми знаками .....	39
6.3. Сложение чисел с разными знаками .....	40

## Раздел II

### ЛОГИЧЕСКИЕ ОСНОВЫ ЦИФРОВОЙ СХЕМОТЕХНИКИ

<b>Глава 7. Основные понятия алгебры логики</b> .....	43
7.1. Общие сведения .....	43
7.2. Переключательные функции одной и двух переменных .....	44
7.3. Тождества и законы алгебры логики .....	50
7.4. Дизъюнктивные и конъюнктивные нормальные формы представления функций алгебры логики .....	53
7.5. Минимизация логических функций с использованием законов и тождеств .....	55
7.6. Минимизация логических функций с использованием карт Карно (диаграмм Вейча) .....	58
7.7. Метод испытаний .....	61
7.8. Анализ и синтез комбинационных схем .....	62
7.9. Правила оформления схем цифровых устройств .....	63
7.10. Функционально полные системы элементов (базис) .....	65
7.11. Особенности работы комбинационных схем. Гонки .....	70
7.12. Использование логического элемента в качестве ключа .....	71
<b>Глава 8. Цифровые интегральные микросхемы</b> .....	74
8.1. Общие сведения о цифровых микросхемах .....	74
8.2. Логические схемы на биполярных транзисторах .....	76
8.3. ТТЛ с транзисторами Шотки .....	81
8.4. Основные электрические параметры и характеристики логических элементов ТТЛ .....	84
8.5. Особенности применения микросхем ТТЛ при разработке цифровых устройств .....	87
8.6. Логические элементы на КМОП-транзисторах .....	92
8.7. Принципы построения логических элементов на КМОП-транзисторах .....	96
8.8. Физическая структура микросхемы на КМОП-транзисторах ...	100
8.9. Основные характеристики и параметры микросхем на КМОП-транзисторах .....	101
8.10. Особенности применения микросхем на КМОП-транзисторах при построении цифровых устройств .....	104

## Раздел III

### КОМБИНАЦИОННЫЕ УСТРОЙСТВА

<b>Глава 9. Дешифраторы и шифраторы</b> .....	108
9.1. Общие сведения о дешифраторах .....	108
9.2. Синтез линейного дешифратора .....	109
9.3. Схема прямоугольного дешифратора .....	111
9.4. Схема пирамидального дешифратора .....	114
9.5. Сравнительная оценка различных видов дешифраторов. Построение дешифраторов на большое количество входов .....	115

9.6. Области применения дешифраторов .....	116
9.7. Шифраторы .....	117
<b>Глава 10. Мультиплексоры и демультимплексоры .....</b>	<b>121</b>
10.1. Различные способы построения мультиплексоров .....	121
10.2. Универсальность использования мультиплексоров .....	123
10.3. Мультиплексное дерево .....	124
10.4. Демультимплексоры .....	126
<b>Глава 11. Сумматоры .....</b>	<b>128</b>
11.1. Общие сведения .....	128
11.2. Одноразрядный сумматор на два входа (полусумматор) .....	129
11.3. Одноразрядный сумматор на три входа .....	130
11.4. Организация сумматора на три входа на основе полусумматоров .....	132
11.5. Реализация сумматора на интегральных схемах .....	133
11.6. Организация многоразрядного параллельного сумматора с последовательным переносом на базе интегральных схем ИМ1, ИМ2, ИМ3 .....	134
11.7. Использование сумматоров в интегральном исполнении при выполнении различных арифметических операций .....	136
11.8. Комбинационный сумматор с ускоренным распространением переноса .....	139
11.9. Сумматор с ускоренным переносом на базе интегральной микросхемы ИМ6 .....	141
11.10. Сумматор последовательного типа .....	145
11.11. Накапливающий сумматор .....	146
11.12. Двоично-десятичный сумматор .....	147
<b>Глава 12. Программируемые логические структуры .....</b>	<b>149</b>
12.1. Общие сведения .....	149
12.2. Организация программируемой логической матрицы. ....	150
12.3. Программируемые матрицы логики .....	155

## Раздел IV

### ПОСЛЕДОВАТЕЛЬНОСТНЫЕ УСТРОЙСТВА

<b>Глава 13. Триггеры .....</b>	<b>160</b>
13.1. Общие сведения .....	160
13.2. Асинхронные RS-триггеры .....	164
13.3. Синхронные триггеры со статическим управлением .....	168
13.4. Двухступенчатые триггеры MS-типа с статическим управлением .....	172
13.5. Синхронные триггеры с динамическим управлением .....	179
<b>Глава 14. Регистры .....</b>	<b>183</b>
14.1. Общие сведения .....	183
14.2. Схемы простейших регистров .....	184
14.3. Реверсивные регистры .....	186

<b>Глава 15. Счетчики</b> .....	191
15.1. Общие сведения .....	191
15.2. Асинхронные счетчики .....	192
15.3. Синхронные счетчики .....	198
15.4. Счетчики с произвольным коэффициентом пересчета .....	208

## Раздел V

### ПРИНЦИПЫ ПОСТРОЕНИЯ ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ

<b>Глава 16. Структуры вычислительных систем</b> .....	224
16.1. Классическая структура .....	224
16.2. Магистральная структура .....	225
<b>Глава 17. Организация устройств управления</b> .....	227
17.1. Организация микропрограммных устройств управления .....	227
17.2. Организация устройств управления с жесткой логикой .....	233
17.3. Особенности построения устройств управления. Структура построения вычислительной системы на основе БИС секционированного микропроцессора .....	245
17.4. Внутренняя и внешняя память вычислительных систем .....	247

## Раздел VI

### ЗАПОМИНАЮЩИЕ УСТРОЙСТВА

<b>Глава 18. Полупроводниковые запоминающие устройства</b> .....	250
18.1. Классификация микросхем памяти .....	250
18.2. Режимы работы и характеристики статических БИС ЗУ .....	251
18.3. Организация статических ЗУ .....	253
18.4. Структурная организация БИС ЗУ .....	256
18.5. Построение разных видов запоминающих элементов ОЗУ .....	263
18.6. Организация модулей ЗУ .....	268
<b>Глава 19. Постоянные запоминающие устройства</b> .....	274
19.1. Общие сведения .....	274
19.2. Однократно программируемые ПЗУ .....	275
19.3. Однократно программируемые ПЗУ в интегральном исполнении серии КР556 .....	277
19.4. Репрограммируемые ПЗУ .....	281
19.5. Различия между ПЗУ и ПЛМ .....	285

## Раздел VII

### ОСНОВЫ МИКРОПРОЦЕССОРНОЙ ТЕХНИКИ

<b>Глава 20. Организация работы устройств на базе микропроцессоров</b> ....	289
20.1. Общие сведения .....	289
20.2. Организация микроЭВМ .....	289
20.3. Классификация микропроцессоров .....	293

20.4. Работа устройств на базе микропроцессора с фиксированной разрядностью .....	295
<b>Глава 21. Организация функционирования микропроцессорной системы</b> .....	<b>298</b>
21.1. Структурная схема микропроцессора .....	298
21.2. Система команд .....	302
21.3. Способы адресации .....	319
21.4. Процесс выполнения команды в микропроцессорном устройстве .....	322
21.5. Интерфейсные интегральные схемы .....	341
Приложение .....	362
Список литературы .....	392